

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

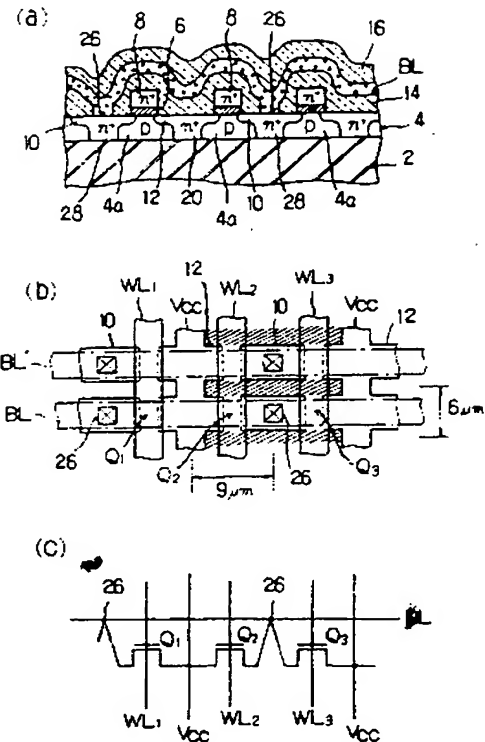
PUBLICATION NUMBER : 56119986
PUBLICATION DATE : 19-09-81
APPLICATION DATE : 28-02-80
APPLICATION NUMBER : 55024340

APPLICANT : FUJITSU LTD;

INVENTOR : SASAKI NOBUO;

INT.CL. : G11C 11/34 H01L 27/10 H01L 29/78

TITLE : CHARGE PUMPING MEMORY



ABSTRACT : PURPOSE: To decrease area per cell and make possible higher integration by performing all of the separation between memory cells using a bit line commonly by p-n junctions.

CONSTITUTION: A deep (n') type region 20 for separation is formed at the center of a shallow n⁺ type region 12 connected to a power source line VCC and a deep n⁺ region 28 for separation reaching the surface of a substrate 2 is also provided right under the central part of the region 10 connected to a bit line BL. The region 28 is formed by same ion implantation process as that for the region 20. A source-drain region 10 connected to the bit line of adjacent cells Q₂, Q₃ is used commonly, and the contact hole 26 of the region 10 and the bit line BL is one, thus the cell area is decreased. When in operation the bit line BL is set at 0V and the word line WL₂ at positive potential, a channel inversion layer is formed only on the surface of the p type region 4a of the cell Q₂ and when gate voltage is turned off, the channel disappears and the charge in that channel is injected into the region 4a.

COPYRIGHT: (C)1981,JPO&Japio

BEST AVAILABLE COPY

This Page Blank (uspto)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56-119986

⑬ Int. Cl.³
G 11 C 11/34
H 01 L 27/10
29/78

識別記号

庁内整理番号
6549-5B
7210-5F
6603-5F

⑭ 公開 昭和56年(1981)9月19日

発明の数 1
審査請求 未請求

(全 5 頁)

⑮ チャージポンピングメモリ

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭55-24340

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭55(1980)2月28日

川崎市中原区上小田中1015番地

⑲ 発 明 者 佐々木伸夫

⑳ 代 理 人 弁理士 青柳稔

明 細 書

1. 発明の名称

チャージポンピングメモリ

2. 特許請求の範囲

絶縁基板上に成長させた一導電型の半導体層に互いに分離された該一導電型の半導体領域を作り、該半導体領域には反対導電型のソース、ドレイン領域をまたこれらのソース、ドレイン領域間上には絶縁ゲート電極を設けてなるチャージポンピングメモリにおいて、該ソース、ドレイン領域の中央部を該絶縁基板表面に達する深い層として前記一導電型の半導体領域の相互分離を該反対導電型ソース、ドレイン領域で行ない、そして該反対導電型のソース、ドレイン領域を交互にビット線および電源線に接続し、また各絶縁ゲートをそれぞれのワード線に接続してなることを特徴とする、チャージポンピングメモリ。

3. 発明の詳細な説明

本発明は、絶縁基板上に成長されフローティング状態の半導体層に電荷を注入してその基板バイ

アス効果を利用する SOS-MOS FET 構造のチャージポンピング(CP)メモリ、特に高集積化可能なその素子構造に関する。

この種の CP メモリは従来は第 1 図(a)のように、サファイア基板 2 上に p 型のシリコン半導体層 4 をエピタキシャル成長させ、該層 4 を複数の p 型領域 4a に区分し、各領域 4a に 1 ビットずつのメモリセルを構成させたものが知られている。図中、6 はゲート酸化膜、8 は n⁺型にドーブされた多結晶シリコンのゲート電極であり、各ゲート電極 8 は延長されて第 1 図(b)(c)のようにそれぞれワード線 WL₁, WL₂, WL₃ として用いられる。10, 12 は各セルのソースまたはドレインとなる n⁺型領域であり、領域 10 はビット線 BL に接続され、また領域 12 は隣接するセルで共用されて第 1 図(b)(c)に示すように電源線 Vcc に接続される(電源線 Vcc を構成する)。14 は第 1 層の PSG 層、16 はカバー PSG 層であり、この間にアルミニウムのビット線 BL が介在する。

この CP メモリにおける各セルのビット線に沿

う方向の分離は、領域10を分断してサファイア基板2の表面に達するフィールド酸化膜18と、領域12の中央部から同じく基板2の表面に達する深い n^+ 型の不純物導入領域20とでなされる。尚ワード線に沿う方向の分離は第1図(b)に斜線を付して示すようにフィールド酸化膜でなされるが、以下では特にビット線方向の分離を問題とする。第1図(b)(c)はビット線BLに接続されるセル Q_1 、 Q_2 、 Q_3 の平面パターンおよび等価回路図であり、BL'は隣接ビット線である。分離領域としてのフィールド酸化膜18と n^+ 型領域20は第2図のように形成される。先ず(a)のようにサファイア基板2上にp型シリコン半導体層4を $0.6\mu\text{m}$ 程度の厚みにエピタキシャル成長させ、次いで(b)のように半導体層4上に 500\AA のシリコン酸化膜22、 1000\AA のシリコン窒化膜24を順次積層してこれをパターンニングし、パターンニングされた膜22、24をマスクに半導体層4の一部4bを半分ほどエッチングした後、選択酸化して、(c)のように基板2表面に達するフィールド酸化膜18を形成す

3

セルを形成したCPメモリを完成するが、この形式では各2つのメモリセル間はフィールド酸化膜18で分離する必要がある。そしてこのフィールド酸化膜を挟んで並ぶ2つの n^+ 型ソース、ドレイン領域10、10上には該領域10、10を共通のビット線BLに接続する2つのコンタクトホール26、26をあける必要がある。このため、第1図(b)のように最小線幅を $3\mu\text{m}$ とした場合の1セル当りの面積はワード線方向の分離領域の各半分を含めて $6\mu\text{m} \times 12\mu\text{m} = 72\mu\text{m}^2$ となる。

本発明はこのセル面積を縮小し得る素子構造のCPメモリを提供しようとするもので、絶縁基板上に成長させた一導電型の半導体層に互いに分離された該一導電型の半導体領域を作り、該半導体領域には反対導電型のソース、ドレイン領域をまたこれらのソース、ドレイン領域間上には絶縁ゲート電極を設けてなるチャージポンピングメモリにおいて、該ソース、ドレイン領域の中央部を該絶縁基板表面に達する深い層として前記一導電型の半導体領域の相互分離を該反対導電型ソース、

5

る。なおこの図の18は領域4aをビット線方向で分離するものであるが、このとき同時に該領域4aをワード線方向で分離する、第1図(b)に斜線で示すフィールド酸化膜も形成される。次いで膜22、24を除去した後半導体層4表面を熱酸化して(d)のようにゲート酸化膜6を形成する。その後(e)のようにフィールド酸化膜18、18間の中央部に開口するレジスト26を被着しこれをマスクとしてp型半導体層4にn型不純物を深くイオン注入して基板2表面に達する n^+ 型領域20を形成し、p型領域4a、4a間をpn接合で分離する。そしてレジスト26を除去した後、(f)のように多結晶シリコンのゲート電極8を形成し、該電極をマスクにn型不純物をp型領域4a表面に浅くイオン注入して n^+ 型領域10、12を形成する。

この後は第1図(a)のように、第1層のPSG層14の形成、該層14を貫通するコンタクトホール26の形成、ビット線BLとなるアルミニウム層の被着、カバーPSG層16の形成工程等を経て、フィールド酸化膜18間に2ビットのメモリ

4

ドレイン領域で行ない、そして該反対導電型のソース、ドレイン領域を交互にビット線および電源線に接続し、また各絶縁ゲートをそれぞれのワード線に接続してなることを特徴とするが、以下図面の実施例を参照しながらこれを詳細に説明する。

第3図(a)~(c)は本発明の一実施例を示す断面図、平面図、および等価回路図で、第1図と同一部分には同一記号が付してある。本発明のCPメモリが第1図と異なる主な点は、ビット線BL(他も同様)を共通にする全てのメモリセルのp型領域4a間の分離を全てサファイア基板2表面に到達する深い n^+ 型領域で行なうようにした点である。電源線Vccに接続される浅い n^+ 型領域12の中央に形成される深い分離用の n^+ 型領域20は第1図と同様であるが、本発明ではビット線BLに接続される浅い n^+ 型領域10の中央部直下にも基板2表面に達する深い分離用の n^+ 型領域28を設ける。この n^+ 型領域28は n^+ 型領域20と同一のイオン注入工程で形成され、第1図のフィールド酸化膜18と同等に作用するが、絶縁物ではないので隣

6

接するセル Q_2 , Q_3 間の n^+ 型領域 10 を分断することはない。つまり隣接セル Q_2 , Q_3 のビット線に接続されるソース、ドレイン領域は共用される。従ってセル Q_2 , Q_3 のソース、ドレイン領域 10 とビット線 BL とのコンタクトホール 26 は 1 つで済むので、1 セル当りの寸法のうちワード線 WL_1 , WL_2 …… に沿う長さ(幅) $6\mu m$ は変らないが、第 1 図のコンタクトホール 26 の 1 つおよびその間に介在していた PSG 層 14 の一部が不要となるのでビット線に沿う長さは $9\mu m$ に減少する。従ってセル面積は $6\mu m \times 9\mu m = 54\mu m^2$ となり、第 1 図の 75% に低減される。

尚、最近では最小線幅は $2\mu m$ に低減可能であるが、この場合は、第 4 図のように 1 セル当りの寸法を幅 $4\mu m$ 、長さ $7.5\mu m$ とし、その面積を $30\mu m^2$ に縮小することが可能である。この図で 30 は幅 $2\mu m$ で縦方向に延びる電源線 V_{cc} (n 拡散領域)であり、第 3 図の 20 に相当する。32 は多結晶シリコンのゲート電極(ワード線)であり、同じく幅 $2\mu m$ で、電源線 30 との間隔は $1.5\mu m$ である。

7

みを 0V にし、他のビット線を適当な電位に保てば、セル Q_2 の p 型領域 4a 表面のみにチャネル反転層が形成される。この状態で急激にゲート電圧を断つとチャネルが消失し、その時該チャネル内の電荷(この場合は電子)が p 型領域 4a に注入(チャージポンプ)される。このチャージポンプ現象で p 型領域 4a に注入された電子は該 p 型領域 4a の電位を下げ、いわゆる基板バイアス効果を生じる。この結果、セル Q_2 の V_{th} は未書き込み状態よりエンハンスメント側へドライブされ、この書き込み、未書き込みセルの V_{th} の差が脱出し時のドレイン電流の差となり、これにより書き込み、未書き込み、つまり情報“1”、“0”が検出される。消去にはドレイン近傍でのアバランシェブレークダウン等を利用し、注入した電子を消滅させる。

以上述べたように本発明によれば、ビット線を共通にするメモリセル間の分離を全て $p-n$ 接合により行なうようにしたので、フィールド酸化膜による絶縁を必要とせず、またビット線とのコンタクトホールを 2 個のメモリセルで共用でき、その

9

34 はコンタクトホール用マスクの窓であり、ワード線 32 との間隔 $2\mu m$ の間隔を置いて該ワード線と平行に延びる連続した幅 $2\mu m$ の開口である。従ってこの窓 34 により形成されるコンタクトホールは第 3 図の 26 のように各ビット線 BL, BL' …… 毎に独立したものでなく、ワード線に沿って連続する。勿論ビット線 36 間に位置する窓 34 の部分 34a は本来不要であるが、これはあっても別に支障はなく、しかもこのようにすると窓 34 のワード線方向の位置ずれによらずソース、ドレイン領域と交叉する部分 34b は、副 $2\mu m$ の該 n^+ 型ソース、ドレイン領域 10 (第 3 図)上に確実な $2\mu m \times 2\mu m$ のコンタクトホールを形成するので、位置合わせが容易に、かつ可及的に大きなコンタクトホールが形成される利点がある。この構造の CP メモリの 1 セルは $4\mu m \times 7.5\mu m$ の微小区画に収容される。

CP メモリの動作は既知の通りで、例えば第 3 図でビット線 BL およびワード線 WL_2 を選択して、ワード線 WL_1 に正電圧を印加し、ビット線 BL の

8

分 1 セル当りの面積を低減できる利点がある。尚、実施例では n チャネル型の CP メモリを例示したが、 p チャネル型でも同様に実施できることは明らかである。

4. 図面の簡単な説明

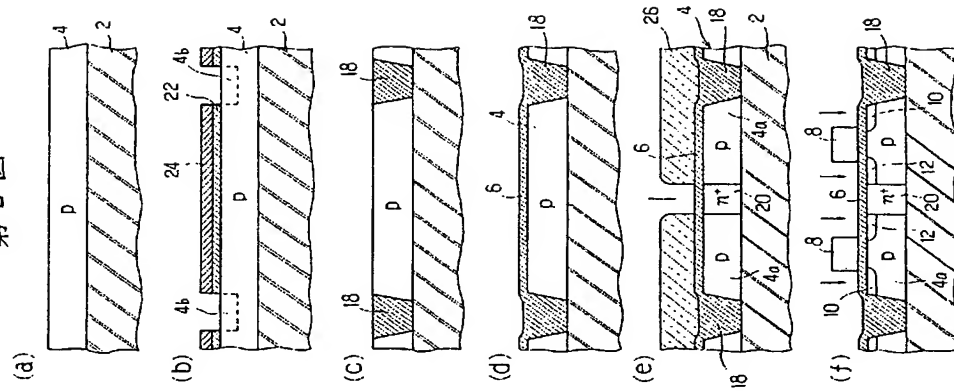
第 1 図(a)~(c)は従来の CP メモリの一例を示す断面図、平面図および等価回路図、第 2 図(a)~(f)は第 1 図の CP メモリの製造工程を示す断面図、第 3 図(a)~(c)は本発明の一実施例を示す断面図、平面図および等価回路図、第 4 図は最小線幅 $2\mu m$ 時のレイアウトを示す説明図である。

図中、2 はサファイア基板、4 は p 型シリコン半導体層、4a は分離された p 型領域、6 はゲート酸化膜、8 はゲート電極、10, 12 は n^+ 型のソース、ドレイン領域、20, 28 は分離用の n^+ 型不純物導入領域、26 はコンタクトホール、BL, BL' はビット線、 V_{cc} は電源線、 WL_1 ~ WL_2 はワード線である。

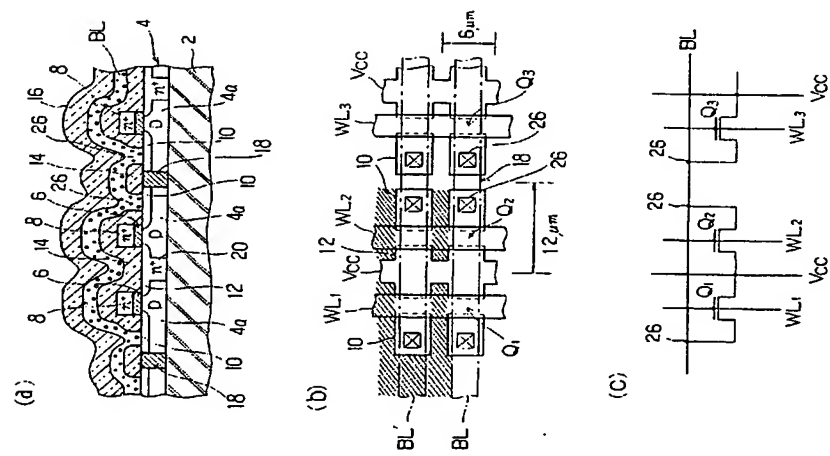
出願人 富士通株式会社
代理人 弁理士 青柳 俊

10

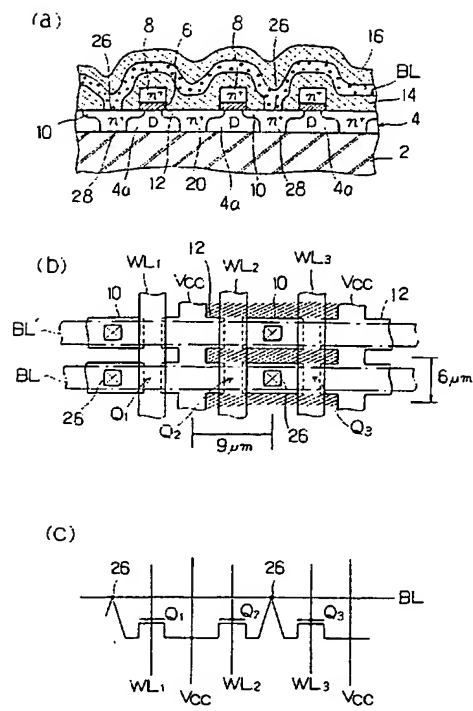
図 2 採



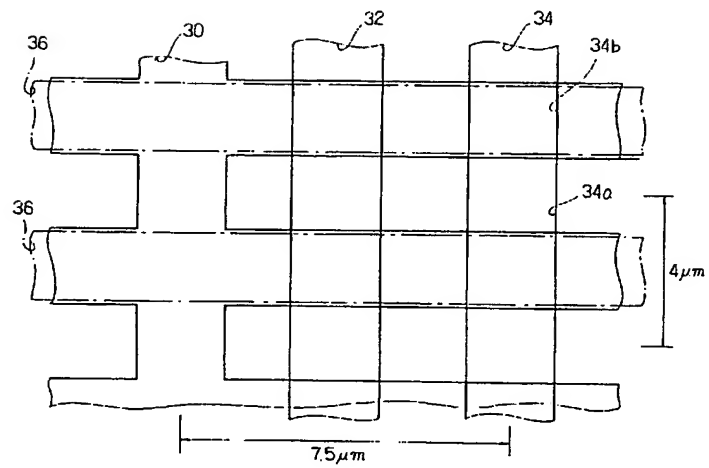
一、掘



第 3 図



第 4 図



This Page Blank (uspto)